

Family list

9 family members for:

JP5299349

Derived from 6 applications.

- 1 Method of manufacturing substrate having semiconductor on insulator**
Publication info: **DE69333173D D1** - 2003-10-09
- 2 Method of manufacturing substrate having semiconductor on insulator**
Publication info: **DE69333173T T2** - 2004-07-15
- 3 Method of manufacturing substrate having semiconductor on insulator**
Publication info: **EP0556795 A2** - 1993-08-25
EP0556795 A3 - 1996-11-06
EP0556795 B1 - 2003-09-03
- 4 No English title available**
Publication info: **JP3091800B2 B2** - 2000-09-25
JP5299349 A - 1993-11-12
- 5 Method of manufacturing substrate having semiconductor on insulator**
Publication info: **US5441899 A** - 1995-08-15
- 6 Method of manufacturing substrate having semiconductor on insulator**
Publication info: **US5616507 A** - 1997-04-01

Data supplied from the *esp@cenet* database - Worldwide

DIALOG(R)File 347:JAPIO
(c) 2004 JPO & JAPIO. All rts. reserv.

04307649 ****Image available****
MANUFACTURE OF SOI SUBSTRATE

PUB. NO.: **05-299349** [JP 5299349 A]
PUBLISHED: November 12, 1993 (19931112)
INVENTOR(s): NAKAI TETSUYA
 YAMAGUCHI YASUO
 NISHIMURA TADASHI
APPLICANT(s): MITSUBISHI MATERIALS CORP [000626] (A Japanese Company or
 Corporation), JP (Japan)
 MITSUBISHI ELECTRIC CORP [000601] (A Japanese Company or
 Corporation), JP (Japan)
APPL. NO.: 04-331426 [JP 92331426]
FILED: December 11, 1992 (19921211)
INTL CLASS: [5] H01L-021/20; H01L-021/265; H01L-021/76; H01L-027/12
JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)
JAPIO KEYWORD: R100 (ELECTRONIC MATERIALS -- Ion Implantation)
JOURNAL: Section: E, Section No. 1508, Vol. 18, No. 91, Pg. 122,
 February 15, 1994 (19940215)

ABSTRACT

PURPOSE: To manufacture an ultra thin film SOI substrate in excellent crystallizability of semiconductor layer and less impurity pollution.

CONSTITUTION: A polysilicon layer 8 laminated on the surface of a silicon substrate is implanted with oxygen ions so as to form an SiO(sub 2) film 3 and then a silicon layer 4 on the SiO(sub 2) film 3 is heat-treated to form an SOI layer 5 thereby manufacturing the title SOI substrate.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-299349

(43) 公開日 平成5年(1993)11月12日

(51) Int. Cl. ⁵

識別記号

F I

H01L 21/20

9171-4M

21/265

21/76

R 9169-4M

27/12

E

8617-4M

H01L 21/265

J

審査請求 未請求 請求項の数3 (全7頁)

(21) 出願番号 特願平4-331426

(22) 出願日 平成4年(1992)12月11日

(31) 優先権主張番号 特願平4-30606

(32) 優先日 平4(1992)2月18日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000006264

三菱マテリアル株式会社

東京都千代田区大手町1丁目5番1号

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 中井 哲弥

埼玉県大宮市北袋町一丁目297番地 三菱

マテリアル株式会社中央研究所内

(72) 発明者 山口 泰男

伊丹市瑞原4丁目1番地 三菱電機株式会

社エル・エス・アイ研究所内

(74) 代理人 弁理士 高田 守

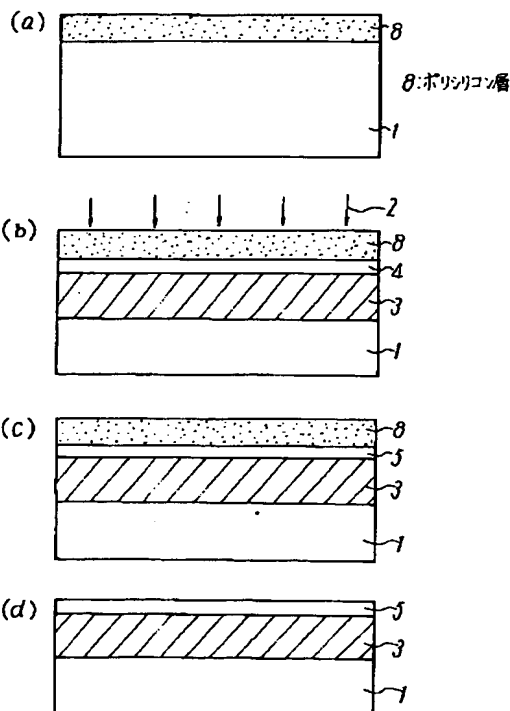
最終頁に続く

(54) 【発明の名称】 S O I 基板の製造方法

(57) 【要約】

【目的】 半導体層の結晶性に優れ、不純物汚染の少ない極薄膜S O I 基板を作製する。

【構成】 シリコン基板表面にポリシリコン層8を積層させ、酸素イオン2の注入によりS i O₂ 膜3を形成し、前記S i O₂ 膜3上のシリコン層4に対して熱処理を行ってS O I 層5を形成し、S O I 基板を作製する。



1

【特許請求の範囲】

【請求項1】 シリコン基板の第1の表面に多結晶シリコン層を積層させる工程と、

前記シリコン基板の第1の表面からイオン注入を行い、シリコン基板中にシリコン酸化膜を形成させる工程と、前記多結晶シリコン層とシリコン酸化膜との間のシリコン層に対し、熱処理を行う工程とを備えたことを特徴とするSOI基板の製造方法。

【請求項2】 前記多結晶シリコン層の代わりに、アモルファスシリコン層を積層させることを特徴とする請求項第1項記載のSOI基板の製造方法。

【請求項3】 シリコン基板の第1の表面からイオン注入を行い、シリコン基板中に第1のシリコン酸化膜を形成させる工程と、

前記第1のシリコン酸化膜上のシリコン層の表面の素子形成領域外に第2のシリコン酸化膜を形成させる工程と、

前記シリコン層の表面及び第2のシリコン酸化膜の表面に多結晶シリコン層を積層させる工程と、

前記多結晶シリコン層を積層させた後に前記シリコン層に対し、熱処理を行う工程と、

前記熱処理工程の後、前記第2のシリコン酸化膜をストッパー膜として前記第2のシリコン酸化膜表面まで前記多結晶シリコン層を研磨除去する工程と、

前記研磨除去する工程の後に前記第1のシリコン酸化膜上の前記シリコン層の表面に残されている多結晶シリコン層を選択するエッチングによって除去する工程とを備えたことを特徴とするSOI基板の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、SOI基板の製造方法に関し、特に、SIMOX (Separation by IMplanted OXygenの略) 法によるSOI基板の製造方法に関する。

【0002】

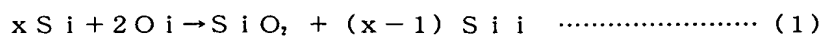
【従来の技術】 絶縁性基板上に単結晶シリコン薄膜を形成したウェハは、SOI (Silicon On Insulatorの略) と言われ、この単結晶シリコン薄膜上にMOS (Metal Oxide Semiconductorの略) 型電界効果トランジスタのような半導体素子を形成すると、寄生容量の低減及び電流駆動能力の増大によって、素子の高速化が図れることや、短チャネル効果が低減されるという効果がある。従来、SOI構造を形成するために多くの手法が提案されており、高濃度の酸素イオンをシリコン基板に注入してSOI構造を形成するというSIMOX法もその一つである。以下、SIMOX法について説明する。

【0003】 SIMOX法とは、例えば、シリコン基板に、酸素イオンを加速エネルギー200keV、ドーズ

2

量 $2.0 \times 10^{18} / \text{cm}^2$ で注入し、その後、1300℃以上の高温でAr/O₂またはN₂/O₂の混合気体中で十分に熱処理をすることにより、シリコン基板内部に直接埋め込み膜 (SiO₂膜) を形成する方法である。図4 (a) ~ (c) は、SIMOX法によるSOI基板の製造方法を示す工程図である。図4 (a) はシリコン基板を示す図であり、1はシリコン基板である。図4 (b) は、シリコン基板1に対して、酸素イオンを注入する工程を示した図である。シリコン基板1を500~600℃に加熱した状態で、シリコン基板1の上面から酸素イオン2を、例えば、加速エネルギー200keV、ドーズ量 $2.0 \times 10^{18} / \text{cm}^2$ で注入する。酸素イオン2を注入することで、シリコン基板1と酸素イオン2の反応により、埋め込み絶縁膜 (以下、SiO₂膜と称す) 3が形成される。4は、SiO₂膜3上にあるシリコン層である。図4 (c) は、図4 (b) での酸素イオン2注入後の熱処理を行う工程を示す図である。例えば、1300℃以上の高温で、Ar/O₂雰囲気中で5時間程度の熱処理を行うことにより、酸素イオン2の注入で生じた欠陥を消失させ、結晶性の回復により、単結晶シリコン層 (以下、SOI層と称す) 5を形成する。しかし、シリコン基板1では酸素イオン2が高注入量で注入されるため、種々の欠陥が発生しており、1000℃以上の熱処理によってもこれらの欠陥は消失しない。逆に、高温の熱処理によって、これらの微小な欠陥は成長し、線状の欠陥となってシリコン層4の表面からシリコン層4とSiO₂膜3との境界面にまで達する。これは貫通転位6と呼ばれる。さらに、熱処理の時に、Ar/O₂雰囲気中との反応を防ぐために、図4 (d) に示すように、シリコン基板1の表面に保護膜7 (SiO₂) を形成させる場合もある。

【0004】 次に、SOI基板を製造するのに採用されているイオン注入条件について下記に記述する。図5は、酸素イオン2注入量に対するシリコン基板1中の酸素濃度を表す図である。ここでは、加速エネルギーを200keVとする。図において、酸素イオン2の注入量が少ないと、酸素はシリコン基板1内でガウス分布をとり、シリコン基板1中でSiO₂膜3は形成されない。しかし、酸素イオン2の注入量が、シリコン基板1中でSiO₂膜3が形成されるのに必要な臨界注入量 ($1.35 \times 10^{18} / \text{cm}^2$) 以上になると、注入ピーク付近の酸素濃度が、SiO₂中に含まれる1cm³当たりの酸素原子の数、即ち、SiO₂の化学量論的濃度 ($4.4 \times 10^{22} / \text{cm}^3$) を越える。そのため、過剰の酸素は分布の裾野に向かって拡散してゆき、シリコン基板1と反応してSiO₂を形成し、シリコン基板1内で急峻な界面のSiO₂膜3を得ることができる。この時の反応を式で表すと次のようになる。



(O i : 格子間酸素、S i i : 格子間シリコン) ここで、格子間酸素とは格子の間に割り込んだ他の原子とは結合していない酸素原子であり、格子間シリコンとは格子の間に割り込んだ他の原子とは結合していないシリコン原子である。臨界注入量以上の酸素イオン2を注入することにより、S i O₂ は生成されるが、同時に起こる体積増加を緩和するために格子間シリコンの放出が起こる。この格子間シリコンは、シンクとなるシリコン基板1の表面に吸収される。しかし、酸素イオン2の注入量の増加に伴い、発生する格子間シリコンの数が増加し、やがて、過剰の格子間シリコンは互いに合体して、シリコン層4の層中に欠陥として残る。この欠陥が、後の熱処理の段階で、シリコン基板1の表面とS i O₂ 膜3との間に固定された貫通転位6として安定化し、シリコン基板1の結晶品質を劣化させる原因となる。

【0005】貫通転位6の密度は、イオン注入条件に依存している。図6はS O I 層中の転位密度の酸素イオン注入量および加速電圧依存性を示した図である。図6に示すように、酸素イオンの注入量が増加するほど、また、加速電圧が低いほど転位密度は増加する傾向にある。そこで、貫通転位6を発生させずに良質なS i O₂ 膜3を形成させるために、注入量と欠陥密度の相関性を利用したマルチイオン注入(多段注入)法がある。この方法は、転位密度を低減させるために、従来に比べて注入量を低くして($0.5 \sim 1.0 \times 10^{18} / \text{cm}^2$) 酸素イオン注入を行い、次に熱処理により結晶性の回復とS i O₂ の析出を図った後、所定の注入量を得るために、この注入・熱処理の工程を数回繰り返す方法である。この方法では、S i / S i O₂ 界面が非常に急峻で、S O I 層内の転位密度も $10^3 / \text{cm}^2$ 以下のきわめて良質のS i O₂ 膜を有するS O I 基板が実現できる。しかし、この方法では、プロセスが煩雑化するため商業的な量産に適さない。

【0006】また、S O I 基板が薄膜S O I / MOS型電界効果トランジスタ作成用基板として用いられるためには、S O I 層の膜厚が 1000 \AA 以下であることが要求される。図7は、S O I 層の膜厚の酸素イオン注入量および加速電圧依存性を示した図である。S O I 層の膜厚は図7に示すように、酸素イオン注入量が増加するほど、また、加速電圧が低いほど薄くすることができる。しかし、これらの条件は、いずれも転位密度を増加させるため、S O I 層の膜厚と転位密度の両方を満足させる手法はまだ開発されていない。さらに、S I M O X法におけるイオン注入および熱処理の工程においては、シリコン基板1が装置から不純物汚染を受けるという問題が残されている。

【0007】

【発明が解決しようとする課題】以上のように、従来の製造方法によるS O I 基板においては、貫通転位が残留したり、不純物で汚染されたりするため、結晶品質が劣

り、該S O I 基板上にMOS型電界効果トランジスタを作成すると、ゲート酸化膜形成時にゲート酸化膜に欠陥や不純物が取り込まれることによる耐圧不良や、空乏層内に存在する欠陥により発生した発生電流による消費電力の増加をひきおこし、デバイス特性を劣化させるという問題点があった。さらに、貫通転位を残留させずに、膜厚 1000 \AA 以下の薄膜S O I 層を得ることができないため、薄膜S O I / MOS型電界効果トランジスタ作成用基板に適さないという問題点があった。

【0008】本発明は上記のような問題点を解消するためになされたもので、S O I 層の結晶性および不純物汚染を改善し、かつ、S O I 層の膜厚を 1000 \AA 以下に形成することのできるS O I 基板の製造方法を提供することを目的とする。

【0009】

【課題を解決するための手段】この発明に係るシリコン基板の製造方法は、シリコン基板の第1の表面に多結晶シリコン層を積層させる工程と、前記シリコン基板の第1の表面からイオン注入を行い、シリコン基板中にシリコン酸化膜を形成させる工程と、前記多結晶シリコン層とシリコン酸化膜との間のシリコン層に対し、熱処理を行う工程とを備えたものである。

【0010】また、前記多結晶シリコン層の代わりに、アモルファスシリコン層を積層させたものである。

【0011】さらに、この発明に係るシリコン基板の製造方法は、シリコン基板の第1の表面からイオン注入を行い、シリコン基板中に第1のシリコン酸化膜を形成させる工程と、前記第1のシリコン酸化膜上のシリコン層の表面の素子形成領域外に第2のシリコン酸化膜を形成させる工程と、前記シリコン層の表面及び第2のシリコン酸化膜の表面に多結晶シリコン層を積層させる工程と、前記多結晶シリコン層を積層させた後に前記シリコン層に対し、熱処理を行う工程と、前記熱処理工程の後に前記シリコン酸化膜をストッパー膜として前記多結晶シリコン層を研磨除去する工程と、前記研磨除去する工程の後に前記シリコン層の表面に残されている多結晶シリコン層を選択エッチングによって除去する工程とを備えたものである。

【0012】

【作用】この発明の製造方法では、シリコン基板の第1の表面に多結晶層を積層させてから、前記シリコン基板中にシリコン酸化膜を形成させるイオン注入を行い、イオン注入の後に熱処理を行うので、S i O₂ の形成に伴ってシリコン酸化膜上のシリコン層内に発生する多量の格子間シリコンを多結晶層内の結晶粒界が吸収し、前記シリコン層内で貫通転位が発生するのを防止できる。また、多結晶層の膜厚により、酸素イオンの注入深さを浅くし、薄膜S O I 層を形成できる。

【0013】また、イオン注入の後に第1のシリコン酸化膜上のシリコン層の表面の素子形成領域外に第2のシ

リコン酸化膜を形成し、前記シリコン層の表面及びシリコン酸化膜の表面に多結晶層を積層させてからシリコン層に対して熱処理を行うので、上述したように素子形成領域下のシリコン層内で貫通転位が発生するのを防止できる。さらに、前記第2のシリコン酸化膜をストッパー膜として前記多結晶層を研磨除去し、前記シリコン層の表面に残されている多結晶層を選択エッチングによって除去するので、多結晶層と第2のシリコン酸化膜との研磨速度の違いにより第2のシリコン酸化膜がストッパー層となり、多結晶層の膜厚を第2のシリコン酸化膜の膜厚と同じ厚さに薄く形成できるので、多結晶層のエッチング時間を短くすることができ、多結晶層のエッチングに伴ってシリコン層がオーバーエッチングされるのを防止できる。よって、シリコン層の膜厚を均一にすることができる。

【0014】

【実施例】実施例1. 図1は、この発明の一実施例を示すSOI基板の製造方法を示す工程図である。図において、1〜5は、従来技術と同一または相当する部分を示す。8はポリシリコン層である。次に、製造工程について説明する。基本的な製造工程は従来技術で述べたものとほぼ同一であるので、従来技術と異なる点のみを説明する。図1(a)に示すように、酸素イオン注入前にシリコン基板1表面にポリシリコン層を積層させる。図1(b)に示すように、酸素イオン2を注入させることにより、SiO₂膜3が形成される。4はSiO₂膜3上のシリコン層である。次に図1(c)に示すように、1300℃程度の熱処理を行うと、シリコン層4の結晶性改善が行われ、SOI層5が得られる。熱処理後、図1(d)に示すように、表面のポリシリコン層8を選択エッチング除去することにより、結晶性の改善された良質のSOI基板が得られる。

【0015】このポリシリコン層8には、格子間シリコンのシンクと成り得る結晶粒界が多数存在している。イオン注入時および熱処理時のSiO₂の形成に伴って発生する多量の格子間シリコンを吸収することができ、欠陥の発生、成長を大幅に抑制できる。例えば、酸素イオンを加速エネルギー200keV、ドーズ量 $2.0 \times 10^{18} / \text{cm}^2$ の注入条件で作成したSOI層5の転位密度は、従来の $1.0 \times 10^5 / \text{cm}^2$ から $1.0 \times 10^3 / \text{cm}^2$ 程度に大幅に低減でき、著しく結晶性が改善される。

【0016】次に、SOI層5の薄膜化について記述する。図1(b)に示すように、ポリシリコン層8を通過させて、酸素イオン2が注入されるので、酸素イオン2の侵入深さは、ポリシリコン層8がない場合に比べ、ポリシリコン層8膜厚分だけ浅くなる。例えば、酸素イオンを加速エネルギー200keV、ドーズ量 $2.0 \times 10^{18} / \text{cm}^2$ の条件で注入すると、図6より、約200ÅのSOI層5が形成されるが、この発明において

は、ポリシリコン層8の膜厚を所望の膜厚のSOI層5が得られるように設定することにより、容易にSOI層の膜厚を1000Å以下の薄膜に形成させることができる。例えば、ポリシリコン層8の膜厚を1500Åに設定することにより、膜厚500Åの薄膜SOI層5を得ることが可能である。

【0017】さらに、ポリシリコン層8をシリコン基板1に積層すると、シリコン中の不純物をゲッタリングする作用がある。よって、この積層したポリシリコン層8は、イオン注入および熱処理時に混入されている不純物をゲッタリングし、SOI層5中の不純物を大幅に低減することが可能である。

【0018】この実施例においては、従来技術で示したマルチイオン注入法のように工程が煩雑でないため、量産性に優れた製造方法である。また、SOI基板5の上にMOS型電界効果トランジスタを構成した場合、ゲート酸化膜の耐圧不良は改善され、リーク電流の1つの原因である転位により発生した発生電流が減少するので、ソースドレイン間の接合リーク電流が低減され、消費電力を減らすことができる。

【0019】実施例2. 上記実施例1では、酸素イオン注入から熱処理の工程まで同一のポリシリコン層を用いたが、図2(a)に示すように、酸素イオン注入後さらにポリシリコン層8を積層しても、また、図2(b)〜(c)に示すように酸素イオン注入後、いったんポリシリコン層8を除去し、新しくポリシリコン層8を積層してもよく、上記実施例1と同様の効果を奏する。

【0020】実施例3. さらに、転位密度低減と不純物汚染低減の効果のみを考えれば、酸素イオン注入時あるいは熱処理時のどちらか一つの工程のみポリシリコン層8を積層して処理を行っても上記効果を得ることが可能である。

【0021】実施例4. 上記実施例1では、格子間シリコンのシンクおよび酸素イオン侵入深さ制御のためにポリシリコン層8を積層した場合について述べたが、表面層は格子間シリコンのシンクとなれば他の材料の多結晶層またはアモルファス層（アモルファスシリコン層を含む）およびシリコン表面にダメージ処理を施したものでもよく、上記実施例1と同様の効果を奏する。

【0022】実施例5. また、上記実施例1では、シリコン半導体基板と、イオン注入原子として酸素を用いて説明したが、イオン注入法により、半導体基板中に絶縁物を形成できるものであれば、いずれの半導体基板とイオン原子を用いても同様の効果が得られることはいうまでもない。

【0023】実施例6. 図3はこの発明の他の実施例を示すSOI基板の製造方法を示す工程図である。図において、1〜5は、従来技術と同一または相当する部分を示す。8はポリシリコン層、9はSiO₂薄膜、10は素子形成領域である。次に、製造工程について説明す

る。基本的な製造工程は、従来技術で述べたものとほぼ同一であるので、従来技術と異なる点のみを説明する。まずはじめに図3 (a) に示すように、酸素イオン2を加速エネルギー150keV、ドーズ量 $2.0 \times 10^{18} / \text{cm}^2$ で注入させ、SiO₂膜3を形成する。4はSiO₂膜3上のシリコン層である。次に、図3 (b) および (c) に示すように、通常のパターンニングの技法を用いて素子形成領域外に膜厚300ÅのSiO₂薄膜9を形成し、素子形成領域10を露出させる。さらに図3 (d) に示すように、シリコン基板1の全表面に膜厚5000Åのポリシリコン層8を積層させ、その後、図3 (e) に示すように、シリコン層4に対し、Ar+1%O₂の雰囲気中で1300℃、6時間の熱処理を行う。該熱処理によって、シリコン層4の結晶性は改善され、膜厚1000ÅのSOI層5が得られる。次に、図3 (f) に示すように、SiO₂薄膜9をストッパー層として、ポリシリコン層8を研磨除去する。次に、図3 (g) に示すように、SiO₂薄膜9を選択エッチングにより除去し、膜厚300Åのポリシリコン層8を残す。さらに、図3 (h) に示すように、ポリシリコン層8を選択エッチングにより除去し、結晶性の改善された良質のSOI基板を形成する。

【0024】本実施例の製造方法においては、SOI層5の膜厚が1000Åに形成されるような酸素イオン注入条件を採用したとしても、シリコン層4上に積層されたポリシリコン層8の作用（実施例1に詳細記述）により、SOI層5中に貫通転位が発生するのを抑制することができる。結晶性の改善されたSOI層5を得ることができる。さらに、SiO₂薄膜9のストッパー層の効果によりポリシリコン層8の膜厚を300Åと薄くすることができ、これにより、ポリシリコン層8のエッチング時間を短くすることができるので、ポリシリコン層8のエッチングに伴ってSOI層がオーバーエッチングされるのを防止できる。よって、上記実施例1よりもSOI層5の膜厚均一性が良好なSOI基板を得ることができる。

【0025】従来の製造方法によるSOI基板の転位密度が $1.0 \times 10^8 / \text{cm}^2$ であるのに対し、本実施例を採用することにより作成されたSOI基板の転位密度は $1.0 \times 10^3 / \text{cm}^2$ である。つまり、従来に比べて、SOI基板の転位密度は大幅に低減され、結晶性も著しく改善されることになる。さらに、膜厚均一性についてであるが、本実施例を採用することにより、ポリシリコン層8を用いない従来の製造方法によるSOI基板の膜厚均一性と同程度の $0.1 \pm 0.01 \mu\text{m}$ と良好にすることができる。

【0026】実施例7. 上記実施例6では、SiO₂薄膜9を選択エッチングにより除去した後に、ポリシリコ

ン層8を選択エッチングにより除去したが、ポリシリコン層8を選択エッチングした後に、SiO₂薄膜9を選択エッチングしても実施例6と同様に、結晶性の改善された良質のSOI基板を形成できる。

【0027】

【発明の効果】以上のように、この発明のSOI基板の製造方法によれば、シリコン基板表面に多結晶シリコン層を積層させてから熱処理を行うことにより、欠陥の発生源である格子間シリコンのシンクを供給することができ、さらに多結晶シリコン層は不純物のゲッタリング作用をもつことから、不純物汚染の少ない結晶性の優れた膜厚1000Å以下のSOI層を持つSOI基板を得られる。

【0028】また、シリコン基板表面の素子形成領域外に、ストッパー膜としてのSiO₂薄膜を形成した後に多結晶シリコン層を積層させ、多結晶シリコン層を研磨除去し、さらにシリコン基板上に残された多結晶シリコン層を選択エッチングすることにより、多結晶シリコン層の選択エッチングの時間を短くすることができるので、多結晶シリコン層の選択エッチングに伴うSOI層のオーバーエッチングを防止でき、膜厚均一性が良好なSOI基板を得られる。

【図面の簡単な説明】

【図1】この発明の実施例1を示すSOI基板の製造工程図である。

【図2】この発明の実施例2を示すSOI基板の製造工程図である。

【図3】この発明の実施例6を示すSOI基板の製造工程図である。

【図4】SIMOX法による従来のSOI基板の製造工程図である。

【図5】酸素イオン注入量に対するシリコン基板中の酸素濃度を表す図である。

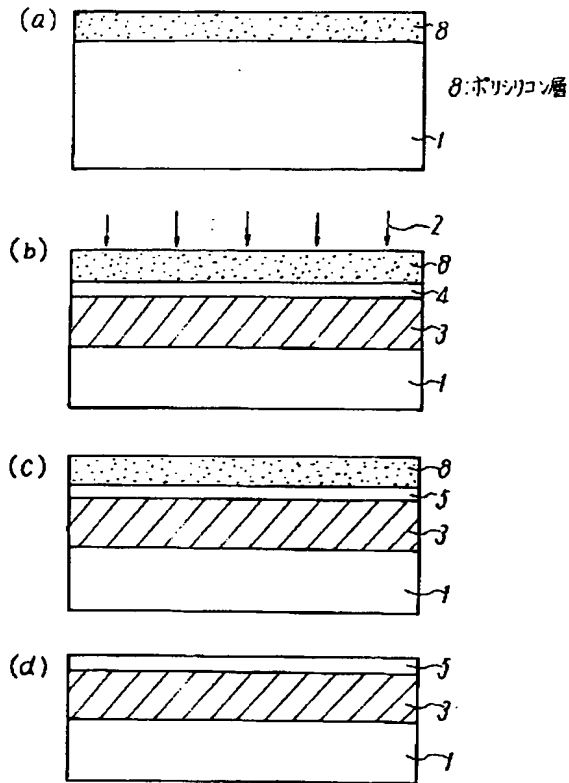
【図6】SOI層中の転位密度の酸素イオン注入量および加速電圧依存性を示した図である。

【図7】SOI層の膜厚の酸素イオン注入量および加速電圧依存性を示した図である。

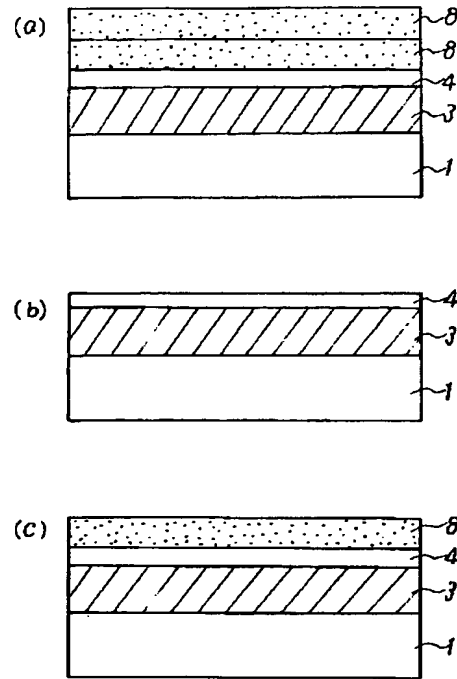
【符号の説明】

- 1 シリコン基板
- 2 酸素イオン
- 3 埋め込み絶縁膜 (SiO₂ 膜)
- 4 シリコン層
- 5 単結晶シリコン層 (SOI 層)
- 6 貫通転位
- 8 ポリシリコン層
- 9 SiO₂ 薄膜
- 10 素子形成領域

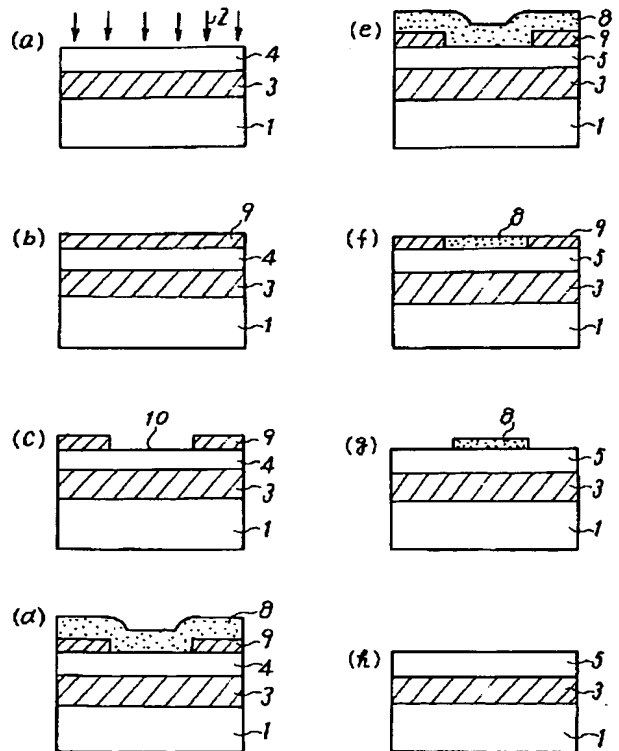
【図1】



【図2】

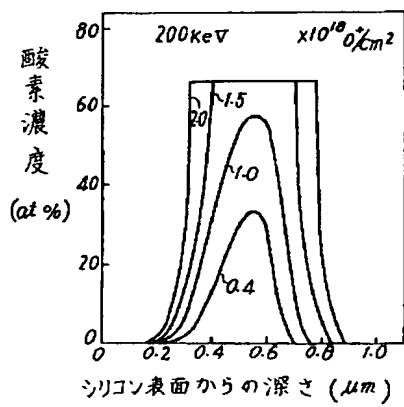


【図3】

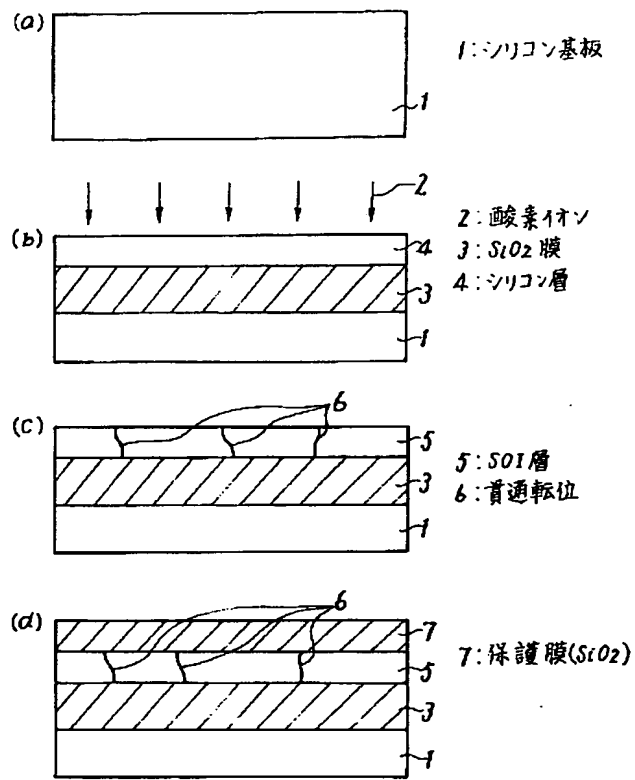


9: SiO_2 薄膜
10: 素子形成領域

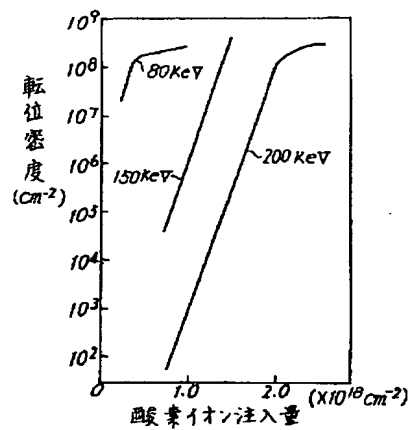
【図5】



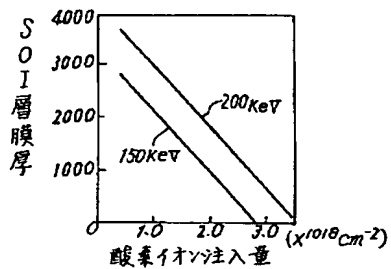
【図4】



【図6】



【図7】



フロントページの続き

(72)発明者 西村 正
伊丹市瑞原4丁目1番地 三菱電機株式会
社エル・エス・アイ研究所内